

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年6月24日 (24.06.2004)

PCT

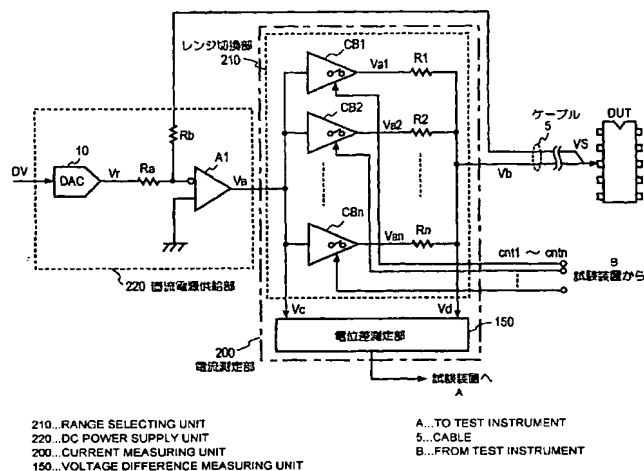
(10) 国際公開番号
WO 2004/053507 A1

- (51) 国際特許分類⁷: G01R 31/26 [JP/JP]; 〒179-0071 東京都練馬区旭町一丁目32番1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/015839
- (22) 国際出願日: 2003年12月11日 (11.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-359183
2002年12月11日 (11.12.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION)
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 中原 久晴 (NAKAHARA, Hisaharu) [JP/JP]; 〒179-0071 東京都練馬区旭町一丁目32番1号 株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 草野 卓, 外 (KUSANO, Takashi et al.); 〒160-0022 東京都新宿区新宿四丁目2番21号 相模ビル Tokyo (JP).
- (81) 指定国 (国内): CN, DE, JP, KR, US.
- 添付公開書類:
— 国際調査報告書

/ 続葉有 /

(54) Title: VOLTAGE-APPLICATION CURRENT MEASURING INSTRUMENT AND CURRENT BUFFER WITH SWITCH USED THEREFOR

(54) 発明の名称: 電圧印加電流測定装置及びそれに使用されるスイッチ付き電流バッファ



(57) Abstract: A voltage-application current measuring instrument for measuring the current flowing through a terminal of a device (DUT) under test to which a voltage from a DC power supply unit (220) is applied through a range selecting unit (210). The range selecting unit (210) has current buffers (CB1 to CBn) with switches corresponding to the current measurement ranges and current measuring resistors (R1 to Rn) each connected in series with the output of the corresponding current buffer. The voltage across the selected current measuring resistor connected in series is measured by a voltage difference measuring unit (150) to determine the current flowing through the terminal of the device. Each current buffer (CBi) has an output stage (12) connectable/disconnectable according to a control signal.

(57) 要約: 直流電源供給部 (220) からの電圧がレンジ切換部 (210) を介して被試験デバイス (DUT) の端子に印加され、その端子に流れる電流を測定する電圧印加電流測定装置において、レンジ切換部 (210) は電流の測定レンジに対応して複数のスイッチ付き電流バッファ (CB1 ~ CBn) とそれらの出力側にそれぞれ直列接続された複数の電流測定用抵抗 (R1 ~ Rn) を有し、

/ 続葉有 /



- 一 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

選択された直列接続の電流測定用抵抗の両端電圧を電位差測定部（150）で測定することにより被試験デバイスの端子に流れた電流を測定する。各スイッチ付き電流バッファ（CBi）は制御信号に応じて接続／切断可能な出力段（12）を有している。

明細書

電圧印加電流測定装置及びそれに使用されるスイッチ付き電流バッファ

5 技術分野

この発明は、アナログ回路の小型化やMCM (Multi Chip Module) 化やIC化が可能な、半導体試験装置の電圧印加電流測定装置及びそれに使用されるスイッチ付き電流バッファに関する。

10 従来の技術

日本国特許出願公開 5-119110 号公報では、IC試験装置の直流試験に用いられ、設定した定電流又は定電圧を負荷（被試験デバイス：DUT）へ供給し、その時負荷に発生する電圧又は負荷に流れる電流を検出する電流検出用抵抗器をその負荷電流レンジに応じて切替えるようにした直流測定器を示している。

- 15 日本国特許出願公開 8-54424 号公報では、レンジ切り替え回路を無くし、高速化、小型化した電圧印加電流測定装置を示している。

日本国特許出願特開 10-10162 号公報では、電流検出回路並びに該回路を用いる電圧印加電流測定回路及び定電流源回路において、電流検出抵抗の切り換えをするリーク防止用のリレーを少なくした電流検出回路を示している。

- 20 図 1 A は上記日本国特許出願公開 5-119110 に示されている従来の電圧印加電流測定回路の構成を要約して示す。尚、半導体試験装置では一般に被試験デバイスである半導体集積回路の複数の端子ピンに対応した複数の測定チャンネルにそれぞれ図 1 A に示す電圧印加電流測定回路が設けられている。

- 25 この電圧印加電流測定回路は、DA変換器 10 と、抵抗 R_a 、 R_b と、演算増幅器 A1 と、電流測定部 100 と、ケーブル 5 とを有し、被試験デバイス DUT の端子に所望の試験電圧 V_s を印加し、その端子に流れる電流を電流測定部 100 で測定する。

DA変換器 10 は、外部から DUT へ印加すべき所望の設定データ DV を受けて、対応する直流の基準電圧 V_r を発生する。この基準電圧 V_r を抵抗 R_a を介して演算

増幅器 A 1 の反転入力端子へ供給する。

演算増幅器 A 1 は、D U T へ正負任意の直流電圧を供給する電力用の演算増幅器であって、上記基準電圧 V_r 受け、抵抗 R_a 、 R_b に基づいて、D U T 端子電圧 V_s が所定の一定の直流電圧となるように帰還線路 A1s を介して帰還制御している。

- 5 この電圧 V_s は例えば $V_s = R_b V_r / R_a$ のように表すことができる。演算増幅器 A1 の出力電圧 V_a は電流測定部 1 0 0 を介して D U T の端子に印加される。尚、演算増幅器 A1 の非反転入力端子は回路グランド GND へ接続している。

- 電流測定部 1 0 0 は D U T の負荷電流を測定する測定部であって、直列に挿入する抵抗の両端に発生する電圧を測定することで D U T へ流れる電流量を検出し、
- 10 デジタル値に変換して測定データとして図示してない試験装置に供給する。電流測定範囲は、数 μA から数十 mA までの広い電流レンジが要求される。この為に、図 1 B に示すように、電流測定部 1 0 0 はレンジ切換部 1 1 0 と、電位差測定部 1 5 0 とを備えている。前記レンジ切換部 1 1 0 は、図 1 C に示すように、複数 n 個の直列抵抗 $R_1 \sim R_n$ と、これらの抵抗とそれぞれ直列接続されたスイッチ $SW_1 \sim SW_n$ とを備えている。
- 15

- レンジ切換部 1 1 0 内のスイッチ $SW_1 \sim SW_n$ は、高い入出力アイソレーションを実現するため、市販の個別部品のフォト MOS リレー（出力段に MOS トランジスタを有するフォトカプラを使用した半導体スイッチ）により構成され、外部からの制御信号 $cnt_1 \sim cnt_n$ により ON/OFF 制御される。フォト
- 20 MOS リレーを使用した場合、レンジ切換時間が数百 μS ～数 ms 程度かかる。また、スイッチの駆動電流は 10 mA 前後が必要である。

- 電位差測定部 1 5 0 の内部回路構成の一例としては、図 2 に示すようにスイッチ SW_i により選択された直列抵抗 R_i (i は $1 \leq i \leq n$ の整数) の両端の電圧 V_c 、 V_d を演算増幅器 A55、A56 がハイインピーダンで受けて、両端の電位差 V_x をディ
- 25 ジタル値に変換する構成である。この回路は例えば米国特許 No. 6, 255, 839 に示されており、抵抗 $R_{51} \sim R_{54}$ の値を適当に選ぶことにより $V_x = V_e$ とすることができる。電圧 V_e は A/D 変換器 5 9 によりデジタル値に変換され、図示してない試験装置に供給される。

上述説明したように電圧印加電流測定回路等に使用される従来技術のレンジ切

- 換手段によれば、数 μA から数十mAまでの広い電流レンジの測定を切り替えるスイッチ SW1 ～ SWn が個別部品のフォトMOSリレーで構成されているため、電圧印加電流測定回路等のアナログ回路全体の小型化やMCM (Multi Chip Module) 化やIC化ができない難点がある。また、レンジ切換時間が数百 μS ～
- 5 数mS程度かかる難点もある。更に、ON/OFF制御する駆動電流が10mA前後を必要とする難点もある。

そこで、本発明の目的は、アナログ回路の小型化やMCM化やIC化が可能な、電圧印加電流測定装置及びそれに使用されるスイッチ付き電流バッファを提供することである。

10

発明の開示

この発明によれば、所定の電圧を印加して負荷装置へ流れる電流を測定する電圧印加電流測定装置は、

- 与えられた制御信号に応じて電氣的に接続／切断可能な出力段を有する複数の
- 15 スwitch付き電流バッファと、それらのスイッチ付き電流バッファの出力段にそれぞれ接続された異なる抵抗値の電流測定用抵抗とを直列接続した複数の組を有し、制御信号により任意の1つの組が選択されて電流測定レンジを切り替える電流レンジ切り替え部と、上記選択された組のスイッチ付き電流バッファの上記出力段は接続状態とされ、

- 20 上記電流レンジ切り替え手段の選択されたスイッチ付き電流バッファと電流測定用抵抗の直列接続を介して上記負荷装置へ所定の直流電圧を供給する直流電源供給部と、

- 上記負荷装置への上記直流電圧の印加に伴って上記選択された直列接続のスイッチ付き電流バッファから上記負荷装置に流れる電流による上記直列接続の電流
- 25 測定用抵抗の両端電位差を上記負荷装置に流れる電流に対応する値として測定する電位差測定手段、

とを含むように構成される。

この発明によれば、前段部と出力段を有するスイッチ付き電流バッファは、

上記出力段は互いのエミッタが接続され、その接続点の電圧を上記スイッチ付き電流バッファの出力電圧とし、コレクタがそれぞれ正電源及び負電源に接続されたコンプリメンタリの第1及び第2トランジスタを有し、

上記前段部は、

- 5 エミッタがそれぞれ第1及び第2定電流源に接続され、コレクタがそれぞれ負電源及び正電源に接続され、上記直流電源供給部からの電圧が入力電圧としてそれぞれのベースに与えられ、ベース・エミッタ間の電圧を上記入力電圧に加算した電圧である第1ベース電圧と、ベース・エミッタ間の電圧を上記入力電圧から減算した電圧である第2ベース電圧をそれぞれのエミッタから上記コンプリメンタリの第1及び第2トランジスタのベースに与える第1PNPトランジスタ及び第1NPNトランジスタと、
- 10

- 上記コンプリメンタリの第2トランジスタのベースと上記正電源にそれぞれ接続されたコレクタとエミッタを有する第2PNPトランジスタと、上記コンプリメンタリの第1トランジスタのベースと上記負電源にそれぞれ接続されたコレクタとエミッタを有する第2NPNトランジスタと、
- 15

- 上記制御信号に応じて上記スイッチ付き電流バッファが非選択のときは、上記第1及び第2定電流源をオフとする第1及び第2オープン信号を上記第1及び第2定電流源に与え、上記第2PNPトランジスタ及び上記第2NPNトランジスタのベースにそれらトランジスタをオン状態にする第3及び第4オープン信号を与え、それによって上記出力段の上記コンプリメンタリの第1及び第2トランジスタをオフ状態に保持し、上記スイッチ付き電流バッファが選択時は、上記第1及び第2定電流源をオンとする第1及び第2オープン信号を上記第1及び第2定電流源に与え、上記第2PNPトランジスタ及び上記第2NPNトランジスタのベースにそれらトランジスタをオフ状態にする第3及び第4オープン信号を与え、それによって上記出力段の上記コンプリメンタリの第1及び第2トランジスタをオン状態にする制御手段、
- 20
- 25 とを含むように構成される。

図面の簡単な説明

図 1 A は従来の電圧印加電流測定回路の構成例を示すブロック図。

図 1 B は図 1 A における電流測定部 1 0 0 の原理的構成図。

図 1 C は図 1 B におけるレンジ切換部 1 1 0 の具体的な構成例を示す図。

5 図 2 は図 1 B における電位差測定部 1 5 0 の内部回路構成を示す図。

図 3 は本発明による電圧印加電流測定装置の実施例を示すブロック図。

図 4 は図 3 におけるスイッチ付き電流バッファ C B i の構成例を示す図。

図 5 は図 4 におけるスイッチ付き電流バッファ C B i の前段部 1 1 と出力段 1 2 の具体的な回路構成例を示す回路図。

10 図 6 は図 3 における電流レンジ切換部 2 1 0 の他の構成例を示す図。

図 7 は図 3 における電流レンジ切換部 2 1 0 の更に他の構成例を示す図。

図 8 は図 3 における電流レンジ切換部 2 1 0 の別の構成例を示す図。

発明を実施するための最良の形態

15 以下に本発明による電圧印加電流測定装置の実施例を図面を参照しながら説明する。また、以下の実施の形態の説明内容によって特許請求の範囲を限定するものではないし、更に、実施の形態で説明されている要素や接続関係等が解決手段に必須であるとは限らない。更に、実施の形態で説明されている要素や接続関係等の形容／形態は、一例でありその形容／形態内容のみに限定するものではない。

20 尚、従来構成に対応する要素は同一符号を付し、また必要がない限り同一符合の要素は説明を省略する。

図 3 はこの発明による電圧印加電流測定装置の実施例を示す。電圧印加電流測定装置は、直流電源供給部 2 2 0 と、電流測定部 2 0 0 とから構成されている。直流電源供給部 2 2 0 は D A 変換器 1 0 と、抵抗 R_a, R_b と、演算増幅器 A 1 とから構成され、これらは図 1 A における対応する部分と同様の動作を行う。電流測定部 2 0 0 はレンジ切換部 2 1 0 と電位差測定部 1 5 0 とから構成されている。この実施例においては、電流レンジ切換部 2 1 0 の回路構成は、図 3 に示すように、複数（n 個）のスイッチ付き電流バッファ C B 1 ～ C B n と、それらの出力にそれぞれ接続された電流測定用の直列抵抗 R 1 ～ R n とを備える。

各スイッチ付電流バッファ CB_i (i は $1 \leq i \leq n$ を満たす整数) は、外部 (例えば図示していない試験装置) から与えられる制御信号 cnt_i によりオープン状態 (電氣的にオフ状態) に制御することが可能な出力段を有している。各スイッチ付電流バッファ CB_i の出力段は対応する直列抵抗 R_i に直列接続されている。

- 5 各スイッチ付電流バッファ CB_i の内部構成は例えば図4に示すように、前段部11と、出力段12とを備える。前段部11は、電流バッファとして動作すると共に、試験装置からの制御信号 cnt_i により出力段12を ON/OFF 制御する。出力段12は、コンプリメンタリ構成のトランジスタにより構成され、制御信号 cnt_i に基づいて前段部11によりハイインピーダンス状態に ON/OFF 制御できる。

- 10 図5はスイッチ付き電流バッファ CB_1 の前段部11と出力段12の具体的な回路構成例である。前段部11には差動トランジスタ Q_1 、 Q_2 と定電流源 CC_1 、 CC_2 、 CC_3 と、制御レベル変換手段8と、PNPトランジスタ Q_3 、 Q_5 と、NPNトランジスタ Q_4 、 Q_6 とを備える。出力段12は互いのエミッタが接続されたコンプリメンタリのPNPトランジスタ Q_{12} とNPNトランジスタ Q_{11} とを備える。電源は正電源 V_P と負電源 V_N を使用する。外部からの制御信号 cnt_1 として差動制御信号 cnt_{1a} 、 cnt_{1b} を使用する場合を説明する。

- 20 差動トランジスタ Q_1 と Q_2 のエミッタはそれぞれ定電流源 CC_3 に接続され、コレクタは制御レベル変換部8を介して正電源 V_P に接続されている。差動トランジスタ Q_1 と Q_2 は制御信号 cnt_{1a} 、 cnt_{1b} により互いに反転して ON/OFF 動作し、制御レベル変換部8はその状態の組によって予め決めたオープン信号 C_1 、 C_2 、 C_3 、 C_4 を出力する。

- 25 PNPトランジスタ Q_3 はベースに入力電圧 Sin (即ち直流電源供給部220からの電圧 V_a) が与えられ、エミッタは定電流源 CC_1 に接続され、コレクタは負電源 V_N に接続されている。PNPトランジスタ Q_3 は定電流源 CC_1 に基づいて一定電流が流れるので、エミッタ端子電圧 V_{b11} は入力電圧 Sin よりベース・エミッタ間の電圧 (約 0.6V) だけ高い電圧となり、これが第1ベース電圧としてNPNトランジスタ Q_{11} のベース入力端へ供給される。

同様に、NPNトランジスタ Q_4 はベースがPNPトランジスタ Q_3 のベースに接続されて入力電圧 Sin が与えられている。エミッタに接続された定電流

源CC2に基づいて一定電流が流れるので、エミッタ端子電圧Vb12は入力電圧Sinよりベース・エミッタ間の電圧（約0.6V）だけ低い電圧となり、これが第2ベース電圧としてPNPトランジスタQ12のベース入力端へ供給される。ベースにオープン信号C3、C4が与えられるPNPトランジスタQ5とNPNトランジスタQ6のコレクタはそれぞれトランジスタQ12とQ11のベースに接続されており、オープン信号C3、C4によりトランジスタQ12、Q11のON/OFFを制御する。

NPNトランジスタQ11とPNPトランジスタQ12とはコンプリメンタリ構成の出力段となっており、オープン信号C1、C2により定電流源CC1、C2がオンとされている状態では、上記第1ベース電圧Vb11と第2ベース電圧Vb12とに基づいて両トランジスタは常に能動状態にバイアスされた状態で動作する。従って、入力電圧Sinを受けて、1:1の電流バッファした出力電圧Voutが出力される。

前述のように制御レベル変換部8は外部の制御信号cnt1に基づいて出力段12をOFF状態に制御する4本のオープン信号C1、C2、C3、C4を発生するものであって、一方の差動制御信号cnt1bには例えば固定した1.5Vを供給し、他方の差動制御信号cnt1aの電圧を0V又は3Vに切り替えることにより、差動トランジスタQ1、Q2の電流が互いに反転動作するので、この反転動作に基づいて所望の制御レベルのオープン信号C1、C2、C3、C4を発生する。

第1のオープン信号C1が有効になると定電流源CC1の一定電流をOFF状態に制御する。第2のオープン信号C2が有効になると定電流源CC2の一定電流をOFF状態に制御する。

第3のオープン信号C3が有効になるとPNPトランジスタQ5をON状態に制御して、一方のPNPトランジスタQ12が強制的にOFF状態にバイアスされる。この結果、出力電圧Voutが正電源VPから負電源NPまでの如何なる電圧範囲にあってもハイインピーダンスにでき、オープン状態を維持できる。

第4のオープン信号C4が有効になるとNPNトランジスタQ6をON状態に制御して、他方のNPNトランジスタQ11が強制的にOFF状態にバイアスされる。この結果、出力電圧Voutが正電源VPから負電源VNまでの如何なる電圧範囲にあ

ってもハイインピーダンスにでき、オープン状態を維持できる。

従って、第1に、出力段12を能動状態（ON状態）としたいときは、最終段のNPNトランジスタQ11とPNPトランジスタQ12とを能動状態にバイアスする必要があるから、定電流源CC1、CC2が能動状態となるようにオープン
5 信号C1、C2を制御し、且つ、PNPトランジスタQ5とNPNトランジスタQ6とをOFF状態に制御する。これによれば、PNPトランジスタQ3とNPNトランジスタQ11のベース・エミッタ間の電圧降下は両者の相殺によって入力電圧Sinに対応した電圧Voutが出力される。同様に、NPNトランジスタQ4とPNPトランジスタQ12のベース・エミッタ間の電圧降下は両者の相殺によ
10 て入力電圧Sinに対応した電圧Voutが出力される。即ち、通常の電流バッファとして機能する。ここで、前記トランジスタのベース・エミッタ間の電圧降下の製造ばらつきを無くするために、トランジスタQ3、Q4、Q11、Q12を同一のIC上に形成すれば、出力電圧Voutは入力電圧Sinに対して実用上同電位と見なすことができる。

15 第2に出力段12をオープン状態（OFF状態）としたいときは、最終段のNPNトランジスタQ11とPNPトランジスタQ12とを完全に逆バイアス状態に制御する必要があるから、定電流源CC1、CC2がOFF状態となるようにオープン信号C1、C2を制御し、且つ、PNPトランジスタQ5とNPNトランジスタQ6とをON状態に制御する。これによれば、出力電圧Voutの出力端と出力
20 段12との回路間において、電氣的に完全に切り離されたオープン状態となる。ここで、NPNトランジスタQ11とPNPトランジスタQ12とはベース・エミッタ間の逆電圧バイアスに対してリーク電流が生じないような耐圧を備えたトランジスタを適用する。

従って、上述した図4のスイッチ付き電流バッファCB1を適用して図3に示
25 すレンジ切換部210を構成することができる。これにより、外部の制御信号cnt1～cntnによって所望の直列抵抗R1～RnへDUTの負荷電流を流し、前記直列抵抗に基づいて検出される出力側電圧Va（検出電圧Vc）と負荷側電圧Vb（検出電圧Vd）の両電圧信号を電位差測定部150へ供給することで各レンジ毎の電流が測定できることとなる。このようにスイッチ付き電流バッファCB1～

CB_nはトランジスタで構成でき、それらの回路構成要素はIC化若しくはMCM化が可能な構成要素である結果、大幅な小型化が実現できる。またON/OFF制御のセトリング時間は数 μ 秒未満であるからして従来に対比して格段に高速に切り替え可能となる利点も得られる。更に、ON/OFF制御に必要な駆動電流は微少で済む利点も得られる。

図6は図3の実施例における電流レンジ切換部210の他の回路構成例である。これは、スイッチ付き電流バッファCB₁～CB_nの各入出力間で負荷電流量の変化に伴って発生する微小な電位差変動が測定誤差に影響するのを解消する構成例である。この電流レンジ切換部210の構成は、複数 n 個のスイッチ付き電流バッファCB₁～CB_nと、直列抵抗R₁～R_nと、セクタスイッチ20とを備え、図3におけるスイッチ付き電流バッファCB₁～CB_nの入力側の電圧V_aを検出電圧V_cとして検出する代わりに、出力側の電圧V_{a1}～V_{an}の1つをセクタスイッチ20により選択した電圧を検出電圧V_cとして検出する。

スイッチ付き電流バッファCB₁～CB_nと直列抵抗R₁～R_nによる構成は前述の図3における構成と同様であるので説明を省略する。

セクタスイッチ20は、各直列抵抗R₁～R_nの一端の電圧信号を受けて、制御信号cnt₁～cnt_nに基づいて何れかに選択切り替えて出力する。このようなセクタスイッチ20は、IC化が可能なトランジスタ回路により構成することができる。

上述した図6の構成によれば、スイッチ付き電流バッファCB₁～CB_nの各入出力間で負荷電流量の変化に伴って発生する微小な電位差変動の影響を受けずに測定できる利点がある。

図7は電流レンジ切換部210の他の回路構成例である。これは、スイッチ付き電流バッファCB₁～CB_nの各入出力間で負荷電流量の変化に伴って発生する微小な電位差変動が測定誤差に影響するのを解消する構成例である。この電流レンジ切換部210の構成は、複数 n 個のスイッチ付き電流バッファCB₁～CB_nと、直列抵抗R₁～R_nと、複数 n 個のスイッチ付きバッファCB₃₁～CB_{3n}とを備えている。

スイッチ付きバッファCB₃₁～CB_{3n}は電圧信号を伝送するスイッチであ

って、上述した図5に示すスイッチ付き電流バッファCB1と基本的には同一の内部構成である。但し、電位差測定部150がハイインピーダンスで受けるので、電流バッファする必要が無く、電圧信号の伝送のみで良い。従って、上述したスイッチ付き電流バッファCB1～CBnのように電圧ドロップする誤差要因は無い。

上述した図7の構成によれば、スイッチ付き電流バッファCB1～CBnの各入出力間で負荷電流量の変化に伴って発生する微小な電位差変動の影響を受けないで測定できる利点がある。

尚、本発明の技術的思想は、上述実施の形態の具体構成例、接続形態例に限定されるものではない。更に、本発明の技術的思想に基づき、上述実施の形態を適宜変形して広汎に応用してもよい。

例えば、図3に示す構成においてスイッチ付き電流バッファCB1～CBnの挿入に伴う測定誤差要因が無視出来ない場合には、所望により校正（キャリブレーション）機能を追加して備えても良い。即ち、直列抵抗R1～Rnや電位差測定部150を含む測定系の各種バラツキを校正する為に、予め各レンジ毎に複数ポイントで既知電流を流して電位差測定部150で測定し、得られた測定データが既知電流値と相関するように、リニアリティ補正量やオフセット補正量を予め求めてテーブルとして図示していないメモリに保存しておく。そして実際の未知の電流を測定するごとに、保存しておいたテーブルから対応する補正量を読み出して補正演算処理する。これによれば、スイッチ付き電流バッファCB1～CBnを含む測定系の各種バラツキに伴う誤差要因が実用的に相殺でき、精度の良い測定結果が得られ、また部品のバラツキや経時変化も相殺できる利点を得られる。

また、上述図3の構成例では、スイッチ付き電流バッファCB1～CBnを使用する具体例で説明していたが、所望により図8に示すレンジ切換部210を使用しても良い。図8の電流レンジ切換部210は、帰還演算増幅器A31～A3nと、それらの出力に接続されたスイッチ付き電流バッファCB1～CBnと、それらスイッチ付き電流バッファCB1～CBnの出力に接続された直列抵抗R1～Rnとで構成されている。各スイッチ付き電流バッファCBiの出力は、対応する帰還演算増幅器A3iの反転入力に帰還されている。但し、帰還演算増幅

- 器A 3 1～A 3 nの入力端はハイインピーダンスで測定に支障とならないものを適用する。この場合には帰還演算増幅器A 3 1～A 3 nにより各スイッチ付き電流バッファCB 1～CB nの出力端の出力電圧 $V_{a1} \sim V_{an}$ は入出力される電圧 V_a と一致するように帰還制御される結果、スイッチ付き電流バッファCB 1～CB nの個々の出力電圧誤差要因が解消できる利点を得られる。

発明の効果

本発明は、上述の説明内容からして、下記に記載される効果を奏する。

- 上述した本発明の構成によれば、IC化若しくはMCM化が可能な構成要素で
- 10 実現できる大きな利点を得られ、また大幅な小型化が実現できる。
- また、ON/OFF制御のセットリング時間は数 μ 秒未満であるからして従来に対比して格段に高速に切り替え可能となる利点も得られる。特に、多数チャンネル備える必要性のある半導体試験装置の電圧印加電流測定装置に適用した場合には、DC試験項目におけるデバイス試験のスループットが向上できる大きな利点を得
- 15 られる。更に、ON/OFF制御に必要となる駆動電流は微少で済む利点も得られる。
- 従って、本発明の技術的效果は大であり、産業上の経済効果も大である。

請求の範囲

1. 所定の電圧を印加して負荷装置へ流れる電流を測定する電圧印加電流測定装置であって、

- 5 与えられた制御信号に応じて電氣的に接続／切断可能な出力段を有する複数のスイッチ付き電流バッファと、それらのスイッチ付き電流バッファの出力段にそれぞれ接続された異なる抵抗値の電流測定用抵抗とを直列接続した複数の組を有し、制御信号により任意の1つの組が選択されて電流測定レンジを切り替える電流レンジ切り替え部と、上記選択された組のスイッチ付き電流バッファの上記出力段は接続状態とされ、
- 10

上記電流レンジ切り替え手段の選択されたスイッチ付き電流バッファと電流測定用抵抗の直列接続を介して上記負荷装置へ所定の直流電圧を供給する直流電源供給部と、

- 上記負荷装置への上記直流電圧の印加に伴って上記選択された直列接続のスイッチ付き電流バッファから上記負荷装置に流れる電流による上記直列接続の電流測定用抵抗の両端電位差を上記負荷装置に流れる電流に対応する値として測定する電位差測定手段、
- 15
- とを含む。

2. 請求項1の電圧印加電流測定装置において、上記直流電源供給部は、与えられたデジタル電圧値をアナログの基準電圧に変換するデジタルアナログ変換器と、上記基準電圧に対し上記負荷装置に印加する電圧を帰還制御し、上記レンジ切換部を介して上記負荷装置に与える演算増幅器とを含む。
- 20

3. 請求項2の電圧印加電流測定装置において、上記レンジ切換部の上記複数のスイッチ付き電流バッファの入力側は互いに接続されて上記演算増幅器の出力側に接続されており、上記電流測定用抵抗の出力側は互いに接続されており、上記スイッチ付き電流バッファの入力側電圧と上記電流測定用抵抗の出力側電圧を上記選択された直列接続の電流測定用抵抗の両端の電圧として上記電位差測定部に与える。
- 25

4. 請求項2の電圧印加電流測定装置において、上記レンジ切換部の上記複数の

スイッチ付き電流バッファの入力側は互いに接続されて上記演算増幅器の出力側に接続されており、上記電流測定用抵抗の出力側は互いに接続されており、上記レンジ切換部は更に、上記複数のスイッチ付き電流バッファの1つの出力を上記制御信号に応じて選択し、上記選択された直列接続の上記電流測定用抵抗の一端側5の電圧として上記電位差測定部に与えるセクタスイッチが設けられており、上記電流測定用抵抗の出力側の電圧は上記選択された直列接続の電流測定用抵抗の他端側の電圧として上記電位差測定部に与えられる。

5. 請求項2の電圧印加電流測定装置において、上記レンジ切換部の上記複数のスイッチ付き電流バッファの入力側は互いに接続されて上記演算増幅器の出力側に接続されており、上記電流測定用抵抗の出力側は互いに接続されており、上記レンジ切換部は更に、上記複数のスイッチ付き電流バッファの出力側にそれぞれ接続され、制御信号に応じて接続／遮断可能な出力段を有するスイッチ付きバッファを有し、上記制御信号により選択された1つのスイッチ付きバッファの出力が上記選択された直列接続の上記電流測定用抵抗の一端側の電圧として上記電位差測定部に与えられ、上記電流測定用抵抗の出力側の電圧は上記選択された直列接続の電流測定用抵抗の他端側の電圧として上記電位差測定部に与えられる。1015

6. 請求項2の電圧印加電流測定装置において、上記複数の直列接続の上記電流測定用抵抗の出力側は互いに接続されており、上記レンジ切換部は更に、各上記スイッチ付き電流バッファに対し、そのスイッチ付き電流バッファの出力が帰還接続された反転入力と、上記直流電源供給部からの電圧が与えられる非反転入力と、上記スイッチ付き電流バッファの入力に接続された出力とを有する帰還演算増幅器を含み、上記各帰還演算増幅器の非反転入力に与えられる電圧は上記選択された直列接続の上記電流測定用抵抗の一端側の電圧として上記電位差測定部に与えられ、上記電流測定用抵抗の出力側電圧は上記選択された直列接続の電流測定用抵抗の他端側電圧として上記電位差測定部に与えられる。2025

7. 請求項2の電圧印加電流測定装置において、上記直流電源供給部は、上記デジタルアナログ変換器の出力と上記演算増幅器の反転入力との間に挿入された第1抵抗と、上記負荷装置から上記演算増幅器の反転入力への帰還経路に挿入された第2抵抗とを含み、上記演算増幅器の非反転入力は接地されている。

8. 請求項1乃至7のいずれかの電圧印加電流測定装置において、各上記スイッチ付き電流バッファは、前段部と上記出力段とを有し、

上記出力段は互いのエミッタが接続され、その接続点の電圧を上記スイッチ付き電流バッファの出力電圧とし、コレクタがそれぞれ正電源及び負電源に接続されたコンプリメンタリの第1及び第2トランジスタを有し、

上記前段部は、

エミッタがそれぞれ第1及び第2定電流源に接続され、コレクタがそれぞれ負電源及び正電源に接続され、上記直流電源供給部からの電圧が入力電圧としてそれぞれのベースに与えられ、ベース・エミッタ間の電圧を上記入力電圧に加算した電圧である第1ベース電圧と、ベース・エミッタ間の電圧を上記入力電圧から減算した電圧である第2ベース電圧をそれぞれのエミッタから上記コンプリメンタリの第1及び第2トランジスタのベースに与える第1PNPトランジスタ及び第1NPNトランジスタと、

上記コンプリメンタリの第2トランジスタのベースと上記正電源にそれぞれ接続されたコレクタとエミッタを有する第2PNPトランジスタと、上記コンプリメンタリの第1トランジスタのベースと上記負電源にそれぞれ接続されたコレクタとエミッタを有する第2NPNトランジスタと、

上記制御信号に応じて上記スイッチ付き電流バッファが非選択のときは、上記第1及び第2定電流源をオフとする第1及び第2オープン信号を上記第1及び第2定電流源に与え、上記第2PNPトランジスタ及び上記第2NPNトランジスタのベースにそれらトランジスタをオン状態にする第3及び第4オープン信号を与え、それによって上記出力段の上記コンプリメンタリの第1及び第2トランジスタをオフ状態に保持し、上記スイッチ付き電流バッファが選択時は、上記第1及び第2定電流源をオンとする第1及び第2オープン信号を上記第1及び第2定電流源に与え、上記第2PNPトランジスタ及び上記第2NPNトランジスタのベースにそれらトランジスタをオフ状態にする第3及び第4オープン信号を与え、それによって上記出力段の上記コンプリメンタリの第1及び第2トランジスタをオン状態にする制御手段、
とを含む。

9. 前段部と出力段を有するスイッチ付き電流バッファであり、

上記出力段は互いのエミッタが接続され、その接続点の電圧を上記スイッチ付き電流バッファの出力電圧とし、コレクタがそれぞれ正電源及び負電源に接続されたコンプリメンタリの第1及び第2トランジスタを有し、

5 上記前段部は、

エミッタがそれぞれ第1及び第2定電流源に接続され、コレクタがそれぞれ負電源及び正電源に接続され、上記直流電源供給部からの電圧が入力電圧としてそれぞれのベースに与えられ、ベース・エミッタ間の電圧を上記入力電圧に加算した電圧である第1ベース電圧と、ベース・エミッタ間の電圧を上記入力電圧から
10 減算した電圧である第2ベース電圧をそれぞれのエミッタから上記コンプリメンタリの第1及び第2トランジスタのベースに与える第1PNPトランジスタ及び第1NPNトランジスタと、

上記コンプリメンタリの第2トランジスタのベースと上記正電源にそれぞれ接続されたコレクタとエミッタを有する第2PNPトランジスタと、上記コンプリメンタリの第1トランジスタのベースと上記負電源にそれぞれ接続されたコレクタとエミッタを有する第2NPNトランジスタと、
15

上記制御信号に応じて上記スイッチ付き電流バッファが非選択のときは、上記第1及び第2定電流源をオフとする第1及び第2オープン信号を上記第1及び第2定電流源に与え、上記第2PNPトランジスタ及び上記第2NPNトランジスタのベースにそれらトランジスタをオン状態にする第3及び第4オープン信号を与え、それによって上記出力段の上記コンプリメンタリの第1及び第2トランジスタをオフ状態に保持し、上記スイッチ付き電流バッファが選択時は、上記第1及び第2定電流源をオンとする第1及び第2オープン信号を上記第1及び第2定電流源に与え、上記第2PNPトランジスタ及び上記第2NPNトランジスタの
20 ベースにそれらトランジスタをオフ状態にする第3及び第4オープン信号を与え、それによって上記出力段の上記コンプリメンタリの第1及び第2トランジスタをオン状態にする制御手段、
25 とを含む。

1/7

図1A

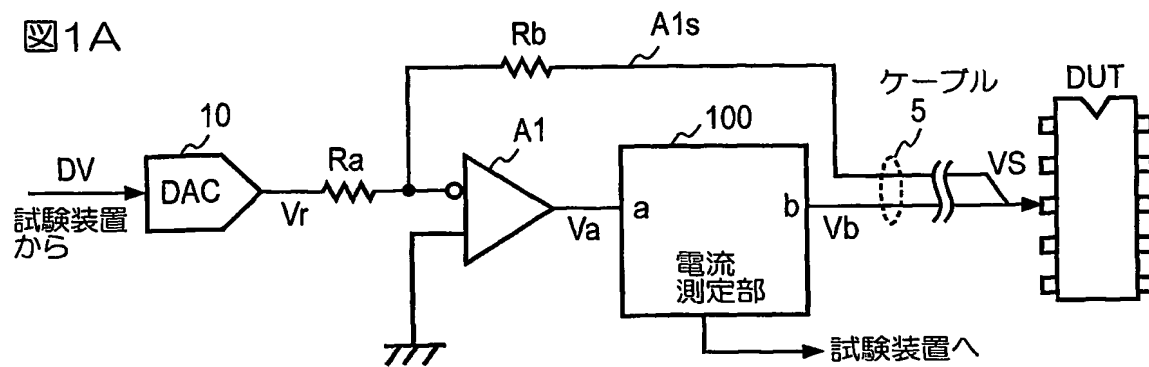


図1B

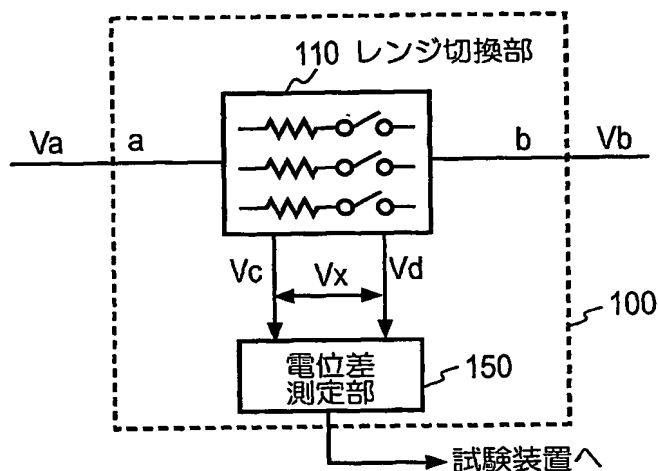


図1C

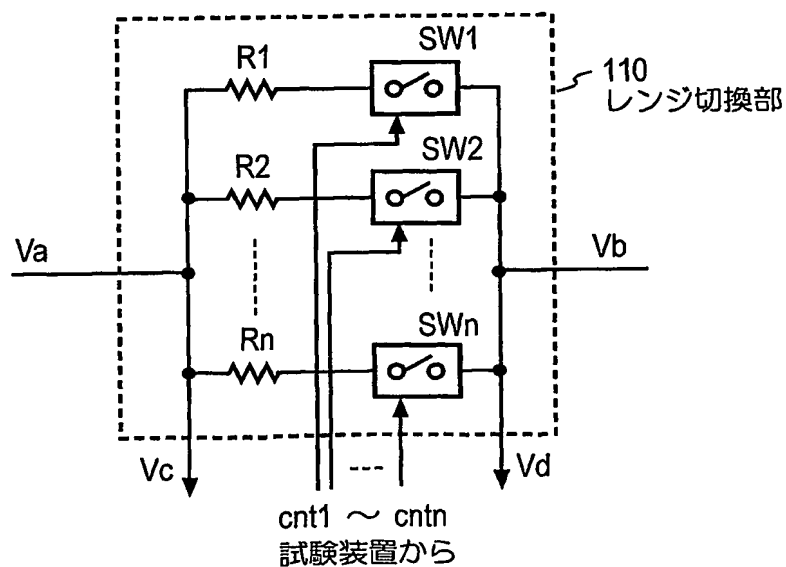
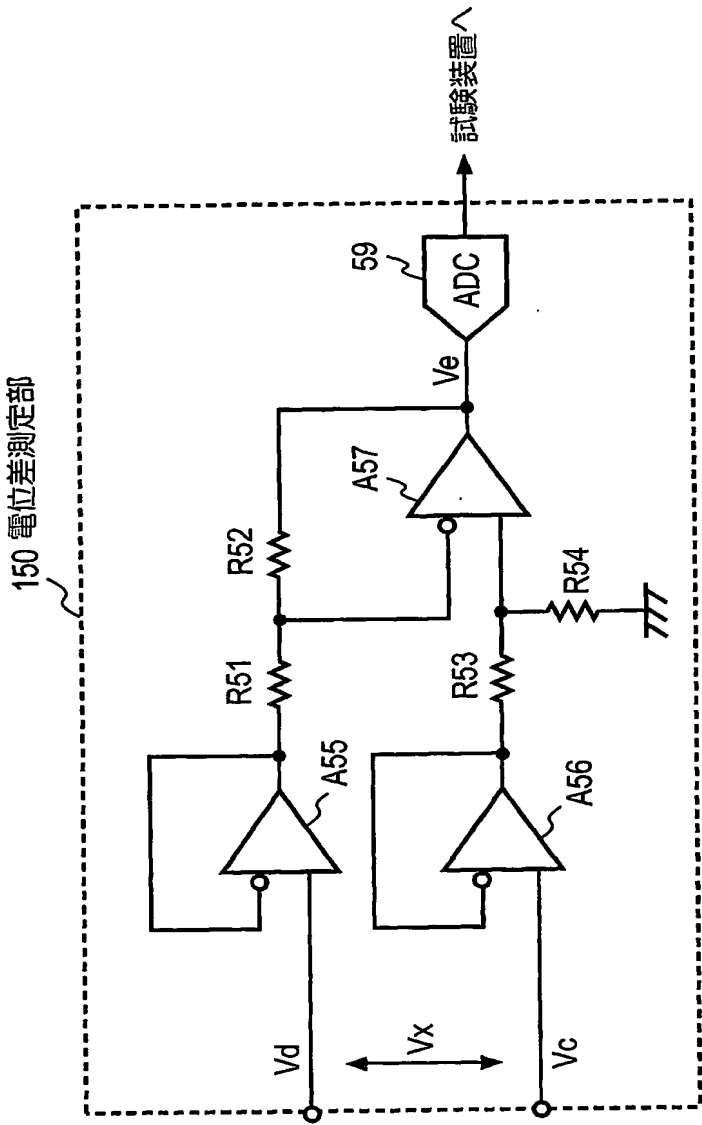


図 2



3/7

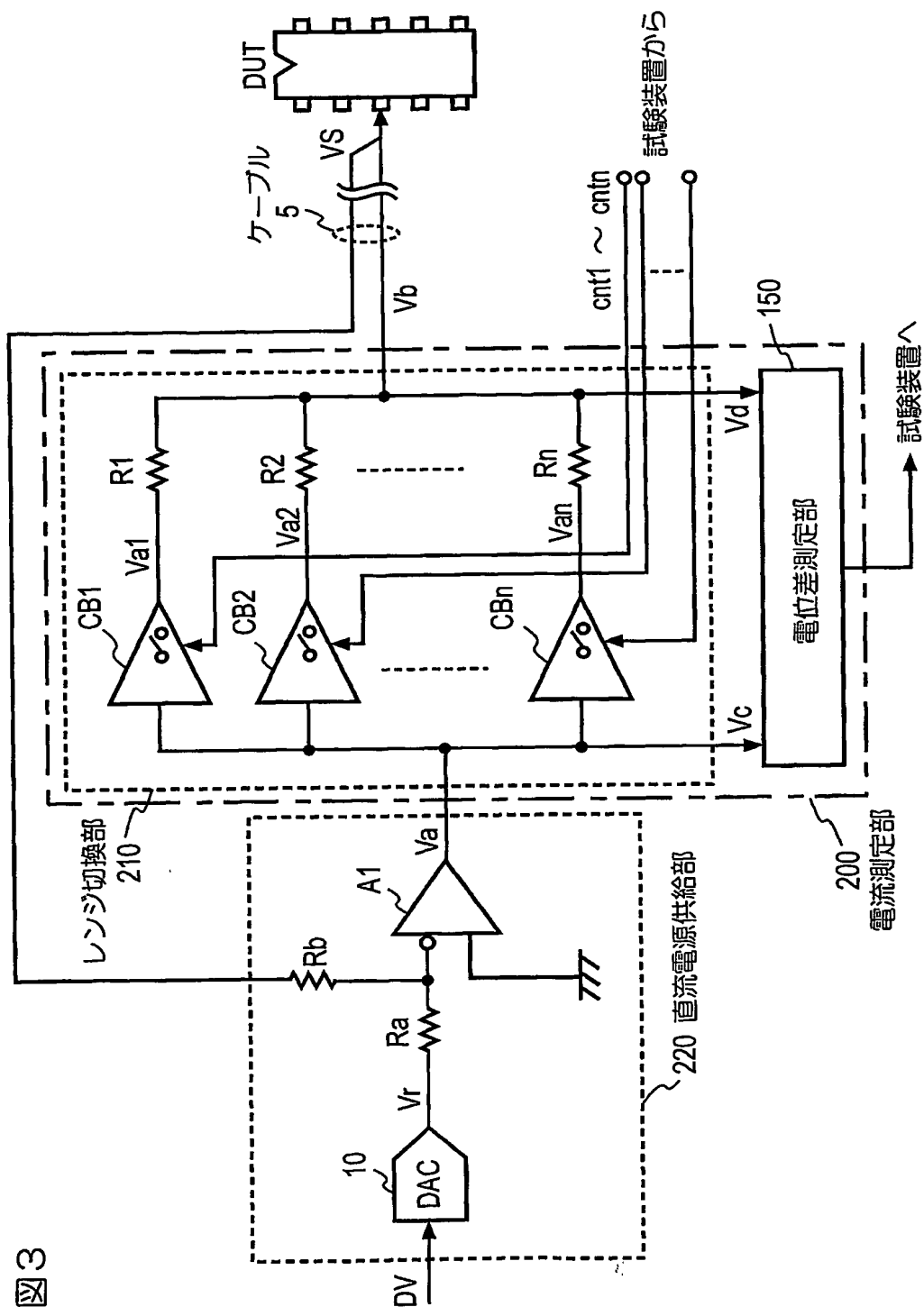
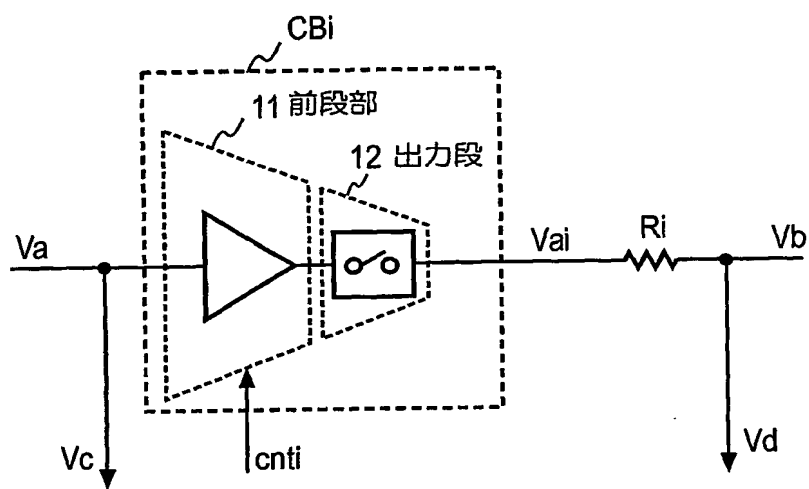
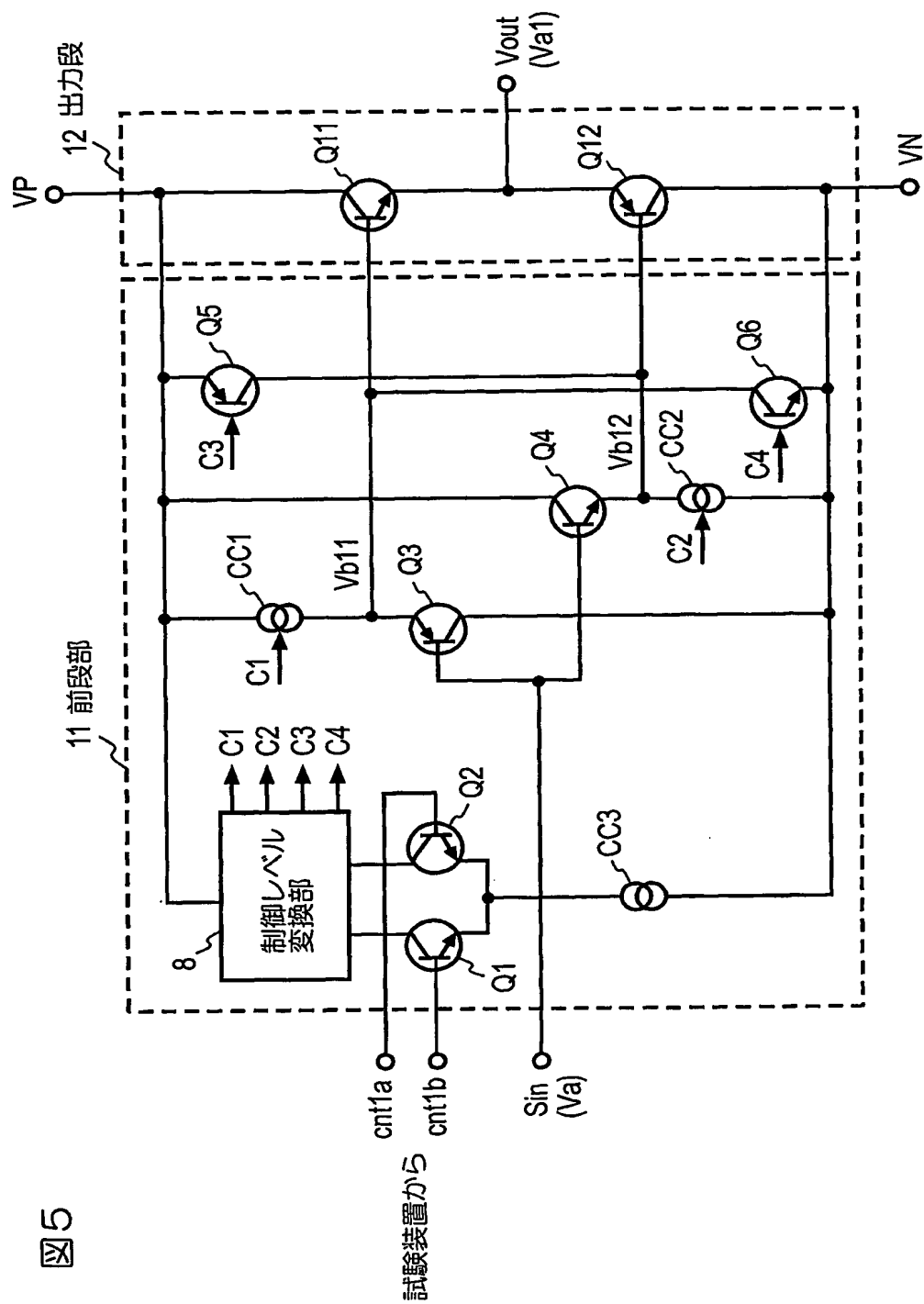


図 4





6/7

図6

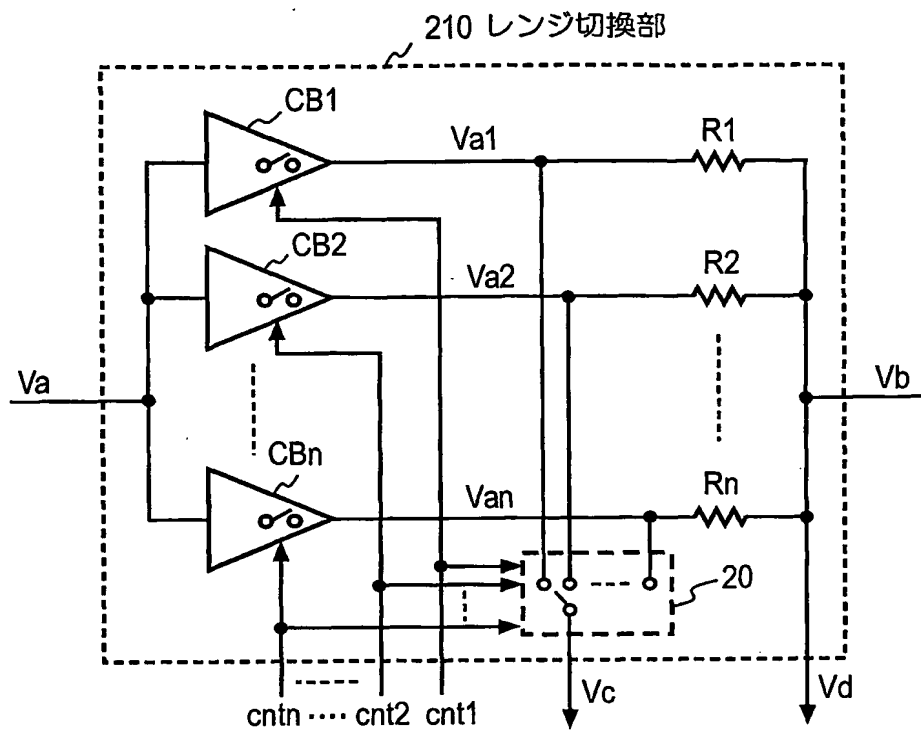


図7

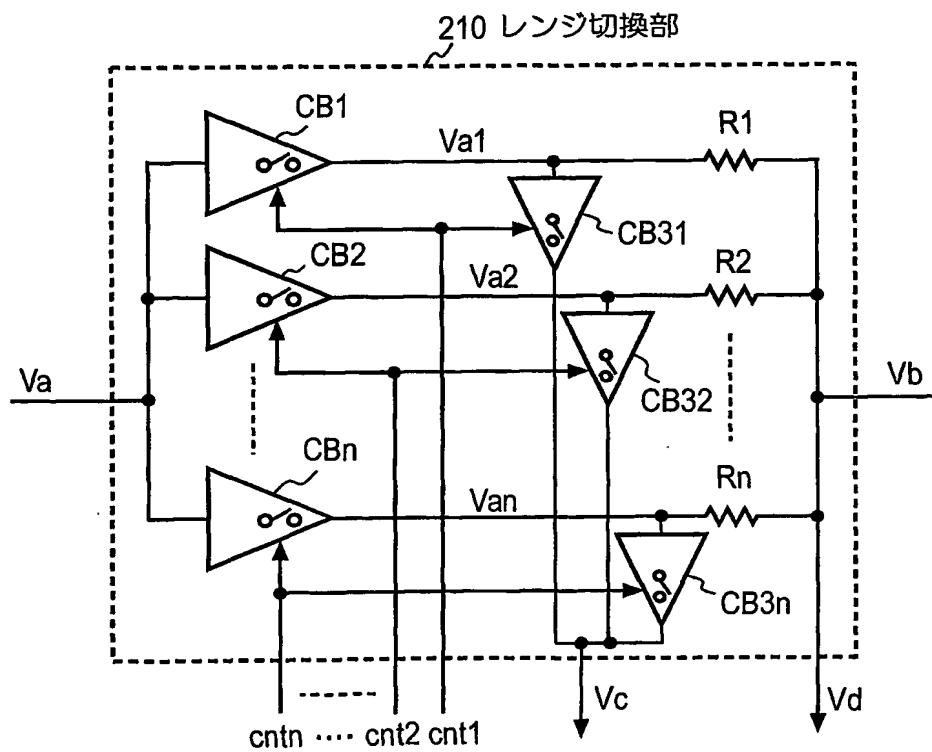
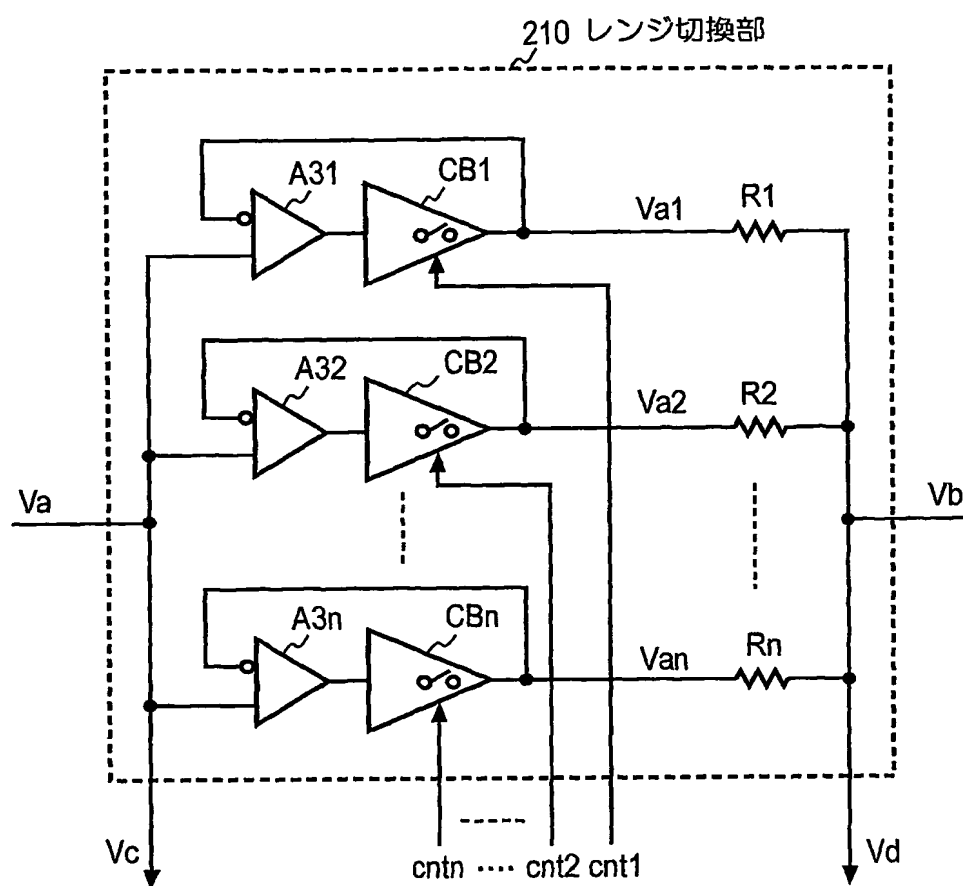


图 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15839

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G01R31/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01R31/26, G01R31/28-31/3193, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 63-82377 A (Hitachi Electronics Engineering Co., Ltd.), 13 April, 1988 (13.04.88), Full text; Figs. 1, 2 (Family: none)	1-9
A	JP 2001-166005 A (Hitachi Electronics Engineering Co., Ltd.), 22 June, 2001 (22.06.01), Full text; Figs. 1 to 3 (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
23 March, 2004 (23.03.04)Date of mailing of the international search report
13 April, 2004 (13.04.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G01R31/26

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G01R31/26, G01R31/28-31/3193, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 63-82377 A (日立電子エンジニアリング株式会社) 1988. 04. 13 全文, 第1, 2図 (ファミリーなし)	1-9
A	JP 2001-166005 A (日立電子エンジニアリング株式会社) 2001. 06. 22 全文, 図1-3 (ファミリーなし)	1-9

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 23. 03. 2004

国際調査報告の発送日 13. 4. 2004

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 中村 直行
 電話番号 03-3581-1101 内線 3258